

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-036605

(43)Date of publication of application : 02.02.2000

(51)Int.CI.

H01L 29/786
H01L 21/762
H01L 27/08
H01L 27/12

(21)Application number : 11-181890

(71)Applicant : HYUNDAI ELECTRONICS IND CO LTD

(22)Date of filing : 28.06.1999

(72)Inventor : RI SHOUKU
SO KEISEKI

(30)Priority

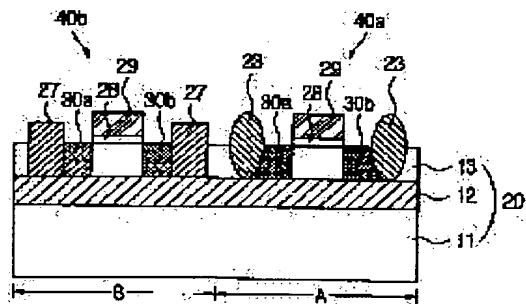
Priority number : 98 9824735 Priority date : 29.06.1998 Priority country : KR

(54) MANUFACTURE OF CMOS ELEMENT FOR IMPROVING MOBILITY OF ELECTRON AND HOLE

(57)Abstract:

PROBLEM TO BE SOLVED: To simultaneously improve mobility of electrons in an NMOS element and mobility of holes in a PMOS element by forming a semiconductor layer portion to be formed so that the PMOS element receives a compression stress and the NMOS element receives a small stress.

SOLUTION: A semiconductor layer 13 portion limited by a first field oxide film 23 receives a compression stress at the time of a thermally oxidizing step for forming the film 23. When the field oxide film is formed in the oxidizing step, the semiconductor layer receives the compression stress. When the field oxide film is formed in a trench step, the stress applied to the semiconductor layer is reduced. Accordingly, since a PMOS element is formed in the layer 13 portion in which the stress exists, mobility of hole in the PMOS element is increased, and mobility of electrons in an NMOS element is increased in the layer 13 portion limited by a second field oxide film 27 of a trench type since the stress existing therein is small.



LEGAL STATUS

[Date of request for examination] 18.10.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-36605

(P2000-36605A)

(43)公開日 平成12年2月2日(2000.2.2)

(51)Int.Cl.⁷
H 0 1 L 29/786
21/762
27/08
27/12

識別記号
3 3 1

F I
H 0 1 L 29/78
27/08
27/12
21/76

テーマコード(参考)
6 1 3 A
3 3 1 E
F
L
D

審査請求 未請求 請求項の数 6 O L (全 5 頁) 最終頁に続く

(21)出願番号 特願平11-181890

(22)出願日 平成11年6月28日(1999.6.28)

(31)優先権主張番号 1998/P 24735

(32)優先日 平成10年6月29日(1998.6.29)

(33)優先権主張国 韓国(KR)

(71)出願人 591024111

現代電子産業株式会社
大韓民国京畿道利川市夫鉢邑牙美里山136
-1

(72)発明者 李鍾 ▲ウク▼

大韓民国 京畿道 利川市 夫鉢邑 牙美
里 山 136-1 リムデアパート 108-
503

(72)発明者 曹圭錫

大韓民国 京畿道 利川市 創前洞 445
-29

(74)代理人 100093399

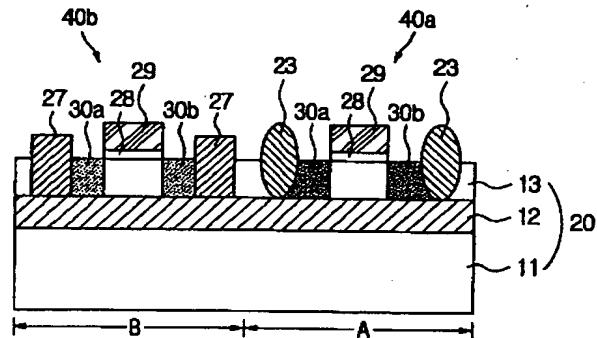
弁理士 濑谷徹 (外1名)

(54)【発明の名称】電子及び正孔の移動度を向上させることができるCMOS素子の製造方法

(57)【要約】

【目的】N MOS素子における電子の移動度とPMOS素子における正孔の移動度を同時に向上させるためのCMOS素子の製造方法を提供する。

【構成】ベース層、埋め込み酸化膜、及び半導体層の積層構造からなり、PMOS素子が形成される第1領域とNMOS素子が形成される第2領域とに分けられるSOI基板を提供する段階；SOI基板の第1領域に配置した半導体層の所定部分を熱酸化させて埋め込み酸化膜とコンタクトされる第1フィールド酸化膜を形成する段階；SOI基板の第2領域に配置した半導体層の所定部分に埋め込み酸化膜が露出するトレンチを形成し、トレンチ内に絶縁膜を埋め込んで第2フィールド酸化膜を形成する段階；及び第1フィールド酸化膜により限定された半導体層領域にPMOS素子を形成し、第2フィールド酸化膜により限定された半導体層領域にNMOS素子を形成する段階を含む。



【特許請求の範囲】

【請求項1】ベース層、埋め込み酸化膜、及び半導体層の積層構造からなり、PMOS素子が形成される第1領域とNMOS素子が形成される第2領域とに分けられるSOI基板を提供する段階；前記SOI基板の第1領域に配置した前記半導体層の所定部分を熱酸化させて、前記埋め込み酸化膜とコンタクトされる第1フィールド酸化膜を形成する段階；前記SOI基板の第2領域に配置した前記半導体層の所定部分に前記埋め込み酸化膜が露出するトレンチを形成し、前記トレンチ内に絶縁膜を埋め込んで第2フィールド酸化膜を形成する段階；及び、前記第1フィールド酸化膜により限定された前記半導体層領域にPMOS素子を形成し、前記第2フィールド酸化膜により限定された前記半導体層領域にNMOS素子を形成する段階を含むことを特徴とするCMOS素子の製造方法。

【請求項2】前記第1フィールド酸化膜を形成する段階は、

前記SOI基板の半導体層上にパッド酸化膜及び窒化膜を順に形成する段階；前記窒化膜及びパッド酸化膜をバーニングして前記SOI基板の第1領域に配置した前記半導体層の所定部分を露出させる段階；及び露出した半導体層部分を熱酸化させる段階を含むことを特徴とする、請求項1記載のCMOS素子の製造方法。

【請求項3】前記第1フィールド酸化膜を形成する段階は、

熱酸化工程の時間及び温度を調節して前記埋め込み酸化膜とコンタクトされるように形成することを特徴とする、請求項2記載のCMOS素子の製造方法。

【請求項4】前記第2フィールド酸化膜を形成する段階は、

前記SOI基板の第2領域に形成した前記窒化膜の所定部分を露出させるマスクパターンを形成する段階；露出した窒化膜部分、その下のパッド酸化膜部分、及び半導体層部分をエッティングして、前記埋め込み酸化膜を露出させるトレンチを形成する段階；前記マスクパターンを除去する段階；前記トレンチが完全に埋め込まれる程度の充分な厚さで全体上部に絶縁膜を形成する段階；前記窒化膜を研磨阻止層として、前記絶縁膜を研磨する段階；及び前記窒化膜、パッド酸化膜、及び前記トレンチに埋め込んだ絶縁膜の一部厚さを除去する段階を含むことを特徴とする、請求項2記載のCMOS素子の製造方法。

【請求項5】ベース層、埋め込み酸化膜、及び半導体層の積層構造からなり、PMOS素子が形成される第1領域とNMOS素子が形成される第2領域とに分けられるSOI基板を提供する段階；前記SOI基板の半導体層上にパッド酸化膜と窒化膜を順に形成する段階；前記SOI基板の第1領域に配置した前記半導体層の所定部

分が露出するように、前記窒化膜及びパッド酸化膜をバーニングする段階；露出した半導体層部分を熱酸化させて第1フィールド酸化膜を形成する段階；全体上部に前記SOI基板の第2領域に形成した前記窒化膜の所定部分を露出させるマスクパターンを形成する段階；露出した窒化膜部分、その下のパッド酸化膜部分、及び半導体層部分をエッティングして、前記埋め込み酸化膜を露出させるトレンチを形成する段階；前記マスクパターンを除去する段階；全体上部に前記トレンチが完全に埋め込まれる程度の充分な厚さで絶縁膜を形成する段階；前記窒化膜を研磨阻止層として前記絶縁膜を研磨する段階；前記窒化膜、パッド酸化膜、及び前記トレンチに埋め込んだ絶縁膜の一部厚さをエッティングしてトレンチ型の第2フィールド酸化膜を形成する段階；及び前記第1フィールド酸化膜により限定された半導体層領域にPMOS素子を形成し、前記第2フィールド酸化膜により限定された半導体層領域にNMOS素子を形成する段階を含むことを特徴とする、CMOS素子の製造方法。

【請求項6】前記第1フィールド酸化膜を形成する段階は、

熱酸化工程の時間及び温度を調節して前記埋め込み酸化膜とコンタクトされるように形成することを特徴とする、請求項5記載のCMOS素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はSOI基板を用いたCMOS素子の製造方法に関し、特に、電子及び正孔の移動度を向上させるためのCMOS素子の製造方法に関する。

【0002】

【従来の技術】近年、半導体素子の高性能化に伴い、バルクシリコンからなるシリコン基板の代わりに、SOI(Silicon-On-Insulator)基板を用いた半導体素子(以下、SOI素子という)が注目されている。この様なSOI素子は、完全な素子分離且つ接合キャパシタンスの減少効果を得るために、低電力及び高速の素子製造が可能である。

【0003】図1は従来技術によるSOI基板を示す断面図である。同図に示すように、SOI基板10は、支持手段のベース層1と素子が形成される半導体層3の間に埋め込み酸化膜2を挟むような積層構造である。この様なSOI基板10は、通常の酸素イオン注入を用いるSIMOX(seperation by implanted oxygen)法や2枚のシリコン基板をボンディングさせるボンディング法により製作される。

【0004】この様なSOI基板に形成されたSOI素子の特性は半導体層の厚さに依存する。例えば、SOI素子の特性は半導体層の厚さが均一であるほど向上し、特に半導体層の厚さは100nm以下であることが望ましい。

【0005】一方、同図に示すように、素子分離膜すなわちLOCOS技術によるフィールド酸化膜4を備えたSOI基板10において、前記フィールド酸化膜4は、埋め込み酸化膜2とコンタクトするように形成されるために、半導体層3は、前記フィールド酸化膜4を形成する間に外部応力を受けるようになる。したがって、この様な半導体層4にNMOS及びPMOSからなるCMOS素子を形成する場合には、前記CMOS素子の特性向上は期待できない。

【0006】より詳細には、外部応力を受けた半導体層にCMOS素子を形成する場合、NMOS素子における電子の移動度は減少するが、PMOS素子における正孔の移動度は増加することがわかる。例えば、電子の移動度は半導体層内に存在する応力(stress)が増加するほど減少し、正孔の移動度は半導体層内に存在する圧縮応力(compressive stress)が増加するほど増加することがわかる。

【0007】また、SOI基板において、半導体層が圧縮応力を受けている時、その半導体層における正孔の移動度が、バルクシリコンにおける正孔の移動度よりも大きいということが“Silicon-On-Insulator technology and devices VIII, edited by S. Cristoloveanu, pp. 335”に報告されている。

【0008】

【発明が解決しようとする課題】従って、高速及び低電圧の素子に適したCMOS素子は、PMOS素子における正孔の移動度とNMOS素子における電子の移動度とが所望の程度以上であることが望ましいが、従来の方法ではSOI基板にCMOS素子を形成する場合、PMOS素子における正孔の移動度とNMOS素子における電子の移動度とを同時に向上できないため、高速及び低電圧の素子の製造に適用が不可能であるという問題点がある。

【0009】従って、本発明の目的は、NMOS素子における電子の移動度とPMOS素子における正孔の移動度を同時に向上させるためのCMOS素子の製造方法を提供することにある。

【0010】

【課題を解決するための手段】前述した目的を達成するために、本発明のCMOS素子の製造方法は、ベース層、埋め込み酸化膜、及び半導体層の積層構造からなり、PMOS素子が形成される第1領域とNMOS素子が形成される第2領域とに分けられるSOI基板を提供する段階；前記SOI基板の第1領域に配置した前記半導体層の所定部分を熱酸化させて、前記埋め込み酸化膜とコンタクトされる第1フィールド酸化膜を形成する段階；前記SOI基板の第2領域に配置した前記半導体層の所定部分に前記埋め込み酸化膜が露出するトレンチを形成し、前記トレンチ内に絶縁膜を埋め込んで第2フィールド酸化膜を形成する段階；及び前記第1フィールド

酸化膜により限定された前記半導体層領域にPMOS素子を形成し、前記第2フィールド酸化膜により限定された前記半導体層領域にNMOS素子を形成する段階を含む。

【0011】また、本発明のCMOS素子の製造方法は、ベース層、埋め込み酸化膜、及び半導体層の積層構造からなり、PMOS素子が形成される第1領域とNMOS素子が形成される第2領域とに分けられるSOI基板を提供する段階；前記SOI基板の半導体層上にパッド酸化膜と窒化膜を順に形成する段階；前記SOI基板の第1領域に形成した前記半導体層の所定部分が露出するよう、前記窒化膜及びパッド酸化膜をパターニングする段階；露出した半導体層部分を熱酸化させて第1フィールド酸化膜を形成する段階；全体上部に前記SOI基板の第2領域に形成した前記窒化膜の所定部分を露出させるマスクパターンを形成する段階；露出した窒化膜部分、その下のパッド酸化膜部分、及び半導体層部分をエッティングして、前記埋め込み酸化膜を露出させるトレンチを形成する段階；前記マスクパターンを除去する段階；全体上部に前記トレンチが完全に埋め込まれる程度の充分な厚さで絶縁膜を形成する段階；前記窒化膜を研磨阻止層として前記絶縁膜を研磨する段階；前記窒化膜、パッド酸化膜、及び前記トレンチに埋め込んだ絶縁膜の一部厚さをエッティングしてトレンチ型の第2フィールド酸化膜を形成する段階；及び前記第1フィールド酸化膜により限定された半導体層領域にPMOS素子を形成し、前記第2フィールド酸化膜により限定された半導体層領域にNMOS素子を形成する段階を含む。

【0012】本発明及びそれを実施できるやり方は、以下の説明及び図面を参照することによって理解できる。

【0013】

【発明の実施の形態】以下、本発明の好適実施例を添付図面に基づき説明する。図2を参照すれば、ベース層11、前記ベース層11上に配置した埋め込み酸化膜12、及び前記埋め込み酸化膜12上に配置した半導体層13の積層構造からなるSOI基板20を備える。また、SOI基板20は第1及び第2領域A、Bに分けられ、第1領域AはPMOS素子が形成される領域、第2領域BはNMOS素子が形成される領域である。パッド酸化膜21及び窒化膜22は前記SOI基板20の半導体層13上にこの順序で形成される。

【0014】図3を参照すれば、窒化膜22及びパッド酸化膜21は、SOI基板20の第1領域Aに配置した半導体層13の所定部分が露出するようパターニングされ、第1フィールド酸化膜23は露出した半導体層部分を熱酸化させて形成する。ここで、前記第1フィールド酸化膜23は埋め込み酸化膜12とコンタクトされる厚さで形成され、このため、熱酸化工程の温度及び時間が調節される。

【0015】図4を参照すれば、感光膜24は、結果物

の全体上部に形成されてから、S O I 基板2 0 の第2領域Bに配置した窒化膜2 2 の所定部分が露出するよう、露光及び現像される。

【0016】図5を参照すれば、トレンチ2 5は、露出した窒化膜部分、その下のパッド酸化膜、及び半導体層部分を連続的にドライエッチングすることにより、埋め込み酸化膜1 2 が露出するように形成される。

【0017】図6を参照すれば、エッチングマスクとして用いた感光膜は除去される。絶縁膜2 6は、トレンチ2 5が完全に埋め込まれる程度の充分な厚さで結果物の全体上部に形成されてから、窒化膜2 2 を研磨阻止層とする化学的機械研磨(Chemical Mechanical Polishing)工程により研磨される。

【0018】図7を参照すれば、エッチング工程により、窒化膜、パッド酸化膜、及び第1フィールド酸化膜2 3 上に残留した絶縁膜と、トレンチに埋め込まれた絶縁膜との一部厚さは除去される。その結果、トレンチ型の第2フィールド酸化膜2 7 が形成される。

【0019】図8を参照すれば、公知の半導体製造工程により、PMOS素子4 0 aは、第1フィールド酸化膜2 3 により限定された第1領域Aの半導体層1 3 領域に形成され、NMOS素子4 0 bは、第2フィールド酸化膜2 7 により限定された第2領域の半導体層1 3 領域に形成される。ここで、PMOS素子4 0 a及びNMOS素子4 0 bは、同図に示すように、ゲート酸化膜2 8 、ゲート電極2 9 、及びソース/ドレイン領域3 0 a、3 0 bを含む。

【0020】この様なCMOS素子において、PMOS素子における正孔の移動度とNMOS素子における電子の移動度は全て向上する。

【0021】詳細には、第1フィールド酸化膜2 3 によって限定された半導体層1 3 部分は、前記第1フィールド酸化膜2 3 を形成するための熱酸化工程時に圧縮応力を受けることになる。従って、圧縮応力が存在する半導体層1 3 部分にPMOS素子を形成するため、前記PMOS素子における正孔の移動度は増加する。また、熱酸化工程にてフィールド酸化膜を形成すると、半導体層は圧縮応力を受けるが、トレンチ工程にてフィールド酸化膜を形成すると、半導体層に印加される応力は減少する。よって、トレンチ型の第2フィールド酸化膜2 7 によって限定された半導体層1 3 部分は、内部に存在する応力が少ないため、この様な半導体部分に形成されたNMOS素子における電子の移動度は増加する。

【0022】一方、熱酸化工程の際に、その工程条件、例えば工程時間及び温度の調節によって半導体層が受けられる圧縮応力が調節でき、且つ、埋め込み酸化膜の厚さによって半導体層が受けられる圧縮応力を調節する事も出来る。前記半導体層に存在する圧縮応力は、埋め込み酸化膜の厚さが薄いほど大きく、例えば前記埋め込み酸化膜の厚さが1 0 0 nm程度であることが望ましい。特

に、PMOSの特性向上のためには、埋め込み酸化膜に存在する応力の量が $1 \times 1 0 0^{10}$ dyne/cm²以上になるべきである。

【0023】

【発明の効果】以上の説明から明らかなように、本発明は、PMOS素子が形成される半導体層部分は圧縮応力を受けるようにし、NMOS素子が形成される半導体層部分は少ない応力を受けるようにすることで、PMOS素子における正孔の移動度とNMOS素子における電子の移動度を全て向上させることができる。これにより、CMOS素子の特性向上が期待でき、特に高速及び低電圧素子の製造に非常に有利に適用することができる。

【0024】尚、本発明は、前記実施例に限定されず、本発明の趣旨から逸脱しない範囲内で多様に変更して実施することが可能である。

【図面の簡単な説明】

【図1】従来技術によるフィールド酸化膜を備えたS O I 基板を示す断面図である。

【図2】本発明の実施例によるCMOS素子の製造方法を説明するための工程断面図である。

【図3】本発明の実施例によるCMOS素子の製造方法を説明するための工程断面図である。

【図4】本発明の実施例によるCMOS素子の製造方法を説明するための工程断面図である。

【図5】本発明の実施例によるCMOS素子の製造方法を説明するための工程断面図である。

【図6】本発明の実施例によるCMOS素子の製造方法を説明するための工程断面図である。

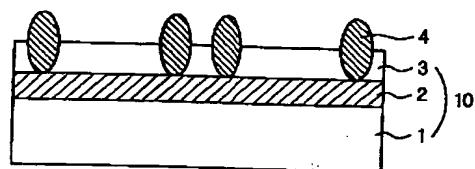
【図7】本発明の実施例によるCMOS素子の製造方法を説明するための工程断面図である。

【図8】本発明の実施例によるCMOS素子の製造方法を説明するための工程断面図である。

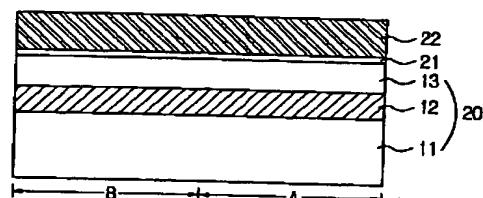
【符号の説明】

- 1 1 ベース層
- 1 2 埋め込み酸化膜
- 1 3 半導体層
- 2 0 S O I 基板
- 2 1 パッド酸化膜
- 2 2 窒化膜
- 2 3 第1フィールド酸化膜
- 2 4 感光膜
- 2 5 トレンチ
- 2 6 絶縁膜
- 2 7 第2フィールド酸化膜
- 2 8 ゲート酸化膜
- 2 9 ゲート電極
- 3 0 a ソース領域
- 3 0 b ドレイン領域
- 4 0 a PMOS素子
- 4 0 b NMOS素子

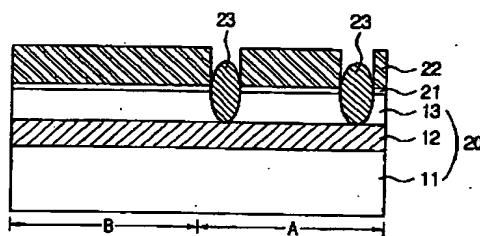
【図1】



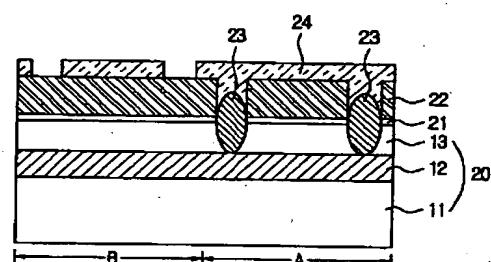
【図2】



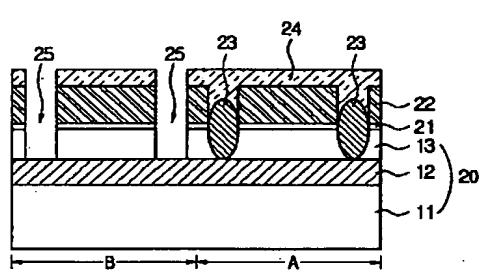
【図3】



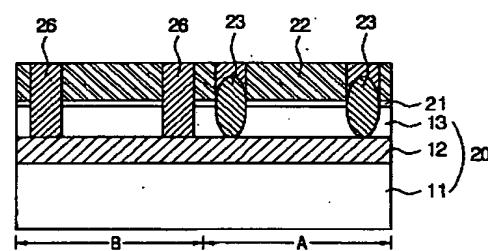
【図4】



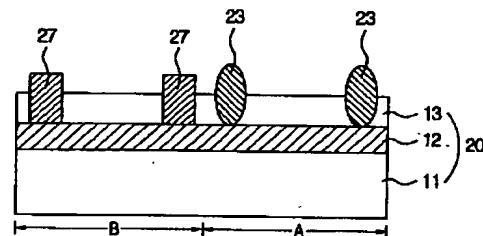
【図5】



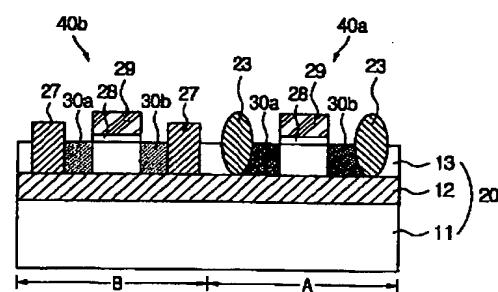
【図6】



【図7】



【図8】



フロントページの続き